

MANUFACTURE OF DIELECTRIC ISOLATION PLATE

Patent Number: JP60196955
Publication date: 1985-10-05
Inventor(s): ITOU TADATSUGU
Applicant(s): TOUKOU KK
Requested Patent: ☐ JP60196955
Application Number: JP19840053278 19840319
Priority Number(s):
IPC Classification: H01L21/76; H01L21/205
EC Classification:
Equivalents:

Abstract

PURPOSE: To improve the crystallizability of a polycrystalline silicon layer which is formed on the surface, and facilitate oxidation to form an insulating layer, by a method wherein the surface is made to a porous silicon layer having small hole diameter, and the inner part of a base plate is made to a porous silicon layer having large hole diameter.

CONSTITUTION: Single crystal silicon of 5mm is made porous in a 50% hydrogen fluoride solution. On this occasion, a 0.5mm part of the surface is anode formation treated at the current density of 5mA/cm^2 , and a remaining 4.5mm part is anode formation treated at the current density of 100mA/cm^2 . The qualities of the two porous silicon which were produced on this consequence are different, and at the part which was anode formation treated at the condition current density of the surface is small, the hole diameter is small, and at the part which was anode formation-treated under the condition current density of the inner part is large, the hole diameter is large. Hereby, the crystallizability of epitaxial silicon layer becomes excellent, and easy to be oxidized the hole diameter becoming large at the inner part.

Data supplied from the esp@cenet database - 12

⑤ 公開特許公報(A) 昭60-196955

⑥ Int. Cl.⁴

識別記号

庁内整理番号

⑦ 公開 昭和60年(1985)10月5日

H 01 L 21/76
21/205

P-8122-5F
7739-5F

審査請求 未請求 発明の数 1 (全4頁)

⑧ 発明の名称 静電体分離基板の製造方法

⑨ 特 願 昭59-53278

⑩ 出 願 昭59(1984)3月19日

⑪ 発 明 者 伊 藤 科 次 東京都新宿区中落合2丁目9番1号

⑫ 出 願 人 東 光 株 式 会 社 東京都大田区東青谷2丁目1番17号

明 細 書

1. 発明の名称
静電体分離基板の製造方法

2. 特許請求の範囲

単結晶シリコン基板の一面をフッ化水素溶液中で陽極化成処理して多孔質シリコン層を形成し、該多孔質シリコン層の表面に単結晶シリコン層をエピタキシャル成長させ、該単結晶シリコン層の一部を二酸化シリコンとするとともに該多孔質シリコン層を酸化することによつて、単結晶シリコンの島の周囲及び底面に二酸化シリコン領域を形成する静電体分離基板の製造方法において、

該多孔質シリコン層の表面付近の孔徑を小さくし、内部の孔徑を大きくするように陽極化成処理し、該孔徑の小さな多孔質シリコン層の表面に単結晶シリコン層をエピタキシャル成長させることを特徴とする静電体分離基板の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は複数の単結晶シリコンの島の側面及び

底面が二酸化シリコンの絶縁層で囲まれた半導体集積回路用の静電体分離基板の製造方法に関するものである。

〔発明の技術的背景〕

半導体集積回路技術における集積度の向上、特性の改善を目的として静電体分離技術の利用が考えられている。これは、単結晶シリコンの島の周囲及び底面を二酸化シリコン層で囲んで完全に分離しようとするものである。この静電体分離にも種々のタイプがあるが、最近注目されているのは多孔質シリコンを酸化することによつて二酸化シリコンの静電体分離領域を形成する方法によるものである。多孔質シリコンは単結晶シリコン基板をフッ化水素溶液中で陽極化成処理して形成している。

本発明は上記のような静電体分離基板の製造方法に係るもので、陽極化成処理による多孔質シリコン層の形成方法に特徴を有するものである。

〔従来技術とその問題点〕

本発明の前提となる多孔質シリコンの酸化による

る誘電体分離基板の製造方法の一般例について第1図に就いて説明する。第1図は誘電体分離基板の製造方法を示す正逆断面図である。

P型の単結晶シリコン基板10を用意する(A)。この単結晶シリコン基板10をフッ化水素溶液中で陽酸化処理して表面に多孔質シリコン層11を形成する(B)。この多孔質シリコン層11の表面にN型の単結晶シリコン層12をエピタキシャル成長させる(C)。単結晶シリコン層12の一部にP型の領域13を拡散またはイオン打ち込み等によって形成する(D)。このP型の領域13を陽酸化処理によって多孔質シリコン14に代える(E)。単結晶シリコン基板10に形成された多孔質シリコン層11とエピタキシャル層12内に形成された多孔質シリコン領域14を酸化シリコン15とする(F)。このようにして、二酸化シリコン15によって包まれた単結晶シリコンの島16が形成された誘電体分離基板が得られる。上記のようを誘電体分離基板の製造方法にかいては、多孔質シリコン層の上の単結晶シリコン層

をエピタキシャル成長させている。多孔質シリコンは文字通り結晶内に多数の孔が形成されており、これを模式的に図わすと第2図のようになる。すなわち、基板20内に孔21が形成された構造となっている。この孔の径が小さ過ぎたり、密度が多過ぎると多孔質シリコン層の上に形成される単結晶シリコン層の結晶性が劣化する。故にエピタキシャル層の厚みが薄い場合には結晶性が大幅に劣化するので、結晶性を良くするためにはエピタキシャル層の厚みを厚くしなければならぬ。

〔発明の目的〕

本発明は上記のようを問題を解決して多孔質シリコン層の上の結晶性の良好な単結晶シリコン層をエピタキシャル成長させることのできる誘電体分離基板の製造方法を提供することを目的とする。

また、結晶性を改善するだけでなく酸化を容易にして短時間で二酸化シリコン領域を形成できるように多孔質シリコン層を形成することを目的とする。

〔発明の概要〕

本発明は、単結晶シリコン基板内に形成する多孔質シリコン層を二層とし、表面を孔徑の小さな多孔質シリコン層とし、基板の内部は孔徑の大きな多孔質シリコン層とすることによって上記の目的を達成するものである。

これによって、表面に形成されるエピタキシャルシリコン層は結晶性が良好となり、内部は孔徑が大きくなって酸化し易くなるものである。

多孔質シリコン層の孔徑を変える手段としては、陽酸化中に多孔質シリコン層に印加する電流密度を変化させる。酸化は複数回行うことができるが、実用的には二回で充分で、始めは最小電流密度を、後にはやや大きい電流密度を印加する。

〔本発明の実施例〕

以下、多孔質シリコン層の形成方法を中心として本発明の実施例について説明する。

陽酸化処理は、前記のように、フッ化水素溶液中で基板の表面の電極とフッ化水素溶液中の電極との間に電流を印加して行う。この陽酸化処理は、一般には30～50%の湿度中で5～100

mA/cm²の電流密度で行われている。

本発明は、陽酸化処理の条件における電流密度が多孔質シリコンの性質を左右する点に注目してなされたもので、電流密度を変化させることによって多孔質シリコン層を二層に形成するものである。

本発明の実施例では、50%のフッ化水素溶液中で、5μmの単結晶シリコンを多孔質化した。この際は表面の0.5μmの部分では5mA/cm²の電流密度で陽酸化処理し、残りの4.5μmは100mA/cm²の電流密度で陽酸化処理をした。この結果できた二つの多孔質シリコンは性質が異なり、表面の電流密度の小さき条件で陽酸化処理した部分では孔徑が大きくついていた。第3図第4図はこれを模式的に示した図である。

なお、上記のようによって形成された二つの多孔質シリコン層を後の工程において酸化したところ、酸化層の性質が若干異なっていることが確認され

九。

〔発明の効果〕

本発明では、前記のように孔徑の小さな多孔質シリコン層と孔徑の大きな多孔質シリコン層を形成しているため、表面に形成される単結晶シリコン層の結晶性が改善されるとともに、絶縁層を形成するための酸化が容易となる。

また、酸化後の反りが小さくすることが確認された。前記の実験例で950℃、1時間の酸化で得られた基板(20×20mm)の反りは32μmとなっており、同じ温度密度で酸化処理したもののより反りが小さくなっていた。

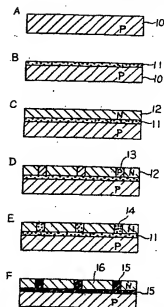
4. 図面の簡単な説明

第1図は誘電体分離基板の製造方法を示す正面断面図、第2図～第4図は多孔質シリコンの状態を示す正面断面図である。

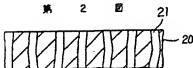
特許出願人

東光株式会社

第 1 図



第 2 図



第 3 図



第 4 図



手続補正書

昭和59年5月4日

特許庁長官 若杉和夫殿

1. 事件の表示

昭和59年特許願第53278号

2. 発明の名称

誘電体分離基板の製造方法

3. 補正をする者

事件との関係 特許出願人

住所(●145) 東京都大田区東雪谷2丁目1番17号

名称(308) 東 光 株 式 会 社

代表者 植 田 富

4. 補正命令の日付 自発

5. 補正により増加する発明の数 0

6. 補正の対象

明細書の発明の詳細な説明の欄

7. 補正の内容

(1) 明細書第4頁第5行の「の上に」を「と接して」と訂正します。

(2) 同第4頁第7行の「故に」を「特に」



正します。

(3) 同図4頁第8行の「結晶性が大幅に」を「
全層にわたって結晶性が」と訂正します。